

基于 IEEE 1149.7 标准的多 TAPC 芯片的 测试和调试技术研究

颜学龙^{1,2}, 何正亮¹, 陈寿宏^{1,2}

(1 桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004;

2 广西自动检测技术与仪器重点实验室, 广西 桂林 541004)

摘 要: 以 CJTAG 标准和 JTAG 标准为依据, 在深入研究这两个标准的基础上, 利用 Quartus II 开发平台和 Verilog HDL 语言设计了多 TAPC 结构, 并用 Modelsim 进行仿真验证, 结果表明多 TAPC 结构能够有效地对多 TAPC 芯片进行测试和调试。

关键词: CJTAG 标准; JTAG 标准; 多 TAPC 结构

中图分类号: TN4

文献标识码: A

文章编号: 1000—7180(2016)12—0071—04

Test and Debug Technologic Research on Multi-TAPC Chip Based on IEEE 1149.7 Standard

YAN Xue-long^{1,2}, HE Zheng-liang¹, CHEN Shou-hong^{1,2}

(1 College of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China; 2 Guangxi Key Laboratory of Automatic Detecting Technology and Instruments, Guilin 541004, China)

Abstract: In this paper, based on the JTAG Standard and CJTAG Standard, in-depth study on the standards, using the Platform of Quartus II and Verilog HDL language to design multi-TAPC architecture and simulation by using the Modelsim simulation tool. The results indicate that multi TAPC architecture can be effectively tested and debugged multi TAPC chip.

Key words: CJTAG standard; JTAG standard; multi-TAPC architecture

1 引言

集成电路的发展给测试带来了巨大的困难, 传统的测试方案已不能满足需求, 于是边界扫描测试规范 IEEE 1149.1 标准被指出, 简称 JTAG 标准。由于 JTAG 技术具有灵活高效的特征, 通过扩充指令并增加相关的逻辑, 使得 JTAG 技术不仅能够用来进行边界扫描, 而且还能够用于调试目的^[1-4]。

随着 IC 工艺的不断发展和 EDA 技术的不断进步, 芯片设计者复用已经存在的 JTAG 标准的 IP 核来设计复杂的系统芯片; 采用 JTAG 标准的测试

规范很难满足来自测试、调试等方面的需求和挑战。以 TI(德州仪器公司)为首的组织以 JTAG 标准为基础, 提出了新的测试规范即 IEEE 1149.7 标准, 简称 CJTAG 标准, 该标准在目标芯片中提出多 TAPC 结构来支持片上多 TAPC 的测试和调试^[5-8]。

然而关于 CJTAG 标准的相关研究尚处于起步阶段, 且多 TAPC 结构还只是一个标准, 还需要具体实现, 片上多 TAPC 的测试和调试技术研究对 SOC(片上系统)测试与调试具有十分重要的意义; 本文分析了片上多 TAPC 的测试和调试方法, 并设

计和仿真多 TAPC 结构.

2 JTAG 标准

JTAG 测试逻辑结构如图 1 所示, 包含四个部分: 测试访问端口 (TAP)、测试访问端口控制器 (TAPC)、指令寄存器以及译码器和测试数据寄存器组^[3].

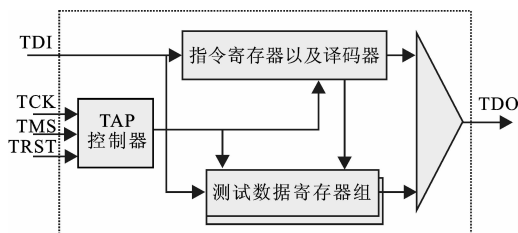


图 1 JTAG 测试逻辑结构

测试访问端口 (TAP) 包括四个必选信号: TCK(为整个测试电路提供测试时钟), TMS(测试模式选择, 用于 TAP 状态机的状态切换), TDI(输入测试指令或测试数据), TDO(输出测试指令或数据). 还包括一个可选信号: TRST(测试复位信号). 外部系统工具通过测试访问端口 (TAP) 来控制芯片内部测试单元按要求工作.

测试访问端口控制器 (TAPC) 是一个有限状态机, 包括 16 个状态, 状态转换由在 TCK 上升沿采样的 TMS 状态来控制; 状态转换过程如图 2 所示, 这是边界扫描的基础, 其中左边一列代表数据寄存器 (DR) 状态, 右边一列代表指令寄存器 (IR) 的状态; 测试访问端口控制器的主要功能是控制指令寄存器中指令和测试数据寄存器中测试数据的移入和移出^[4].

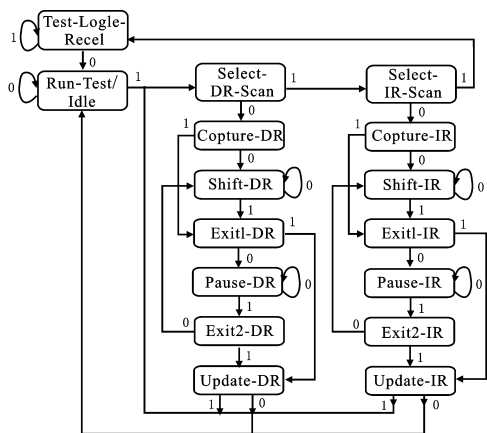


图 2 TAPC 状态机

指令寄存器定义了测试数据寄存器的操作模式, 其长度一般为指令的长度, 它由串行移位寄存器

和锁存寄存器组成, 指令在 TAPC 的控制下由 TDI 移入, 通过译码器解码产生选择信号, 选择相应的数据寄存器, 可以根据需要定义新的指令以及该指令对应的选择信号和数据寄存器.

测试数据寄存器组主要包括旁路寄存器、边界扫描寄存器、器件识别码寄存器和用户自定义寄存器. 旁路寄存器是 JTAG 标准中规定的必须存在的数据寄存器, 为芯片数据扫描路径提供一位旁路路径, 从而缩短扫描链长度; 边界扫描寄存器是芯片互联测试时最重要的寄存器, 由一系列数据寄存器单元 (也成边界扫描单元或 BSC) 组成, 置于器件的输入或输出管脚附近, 控制和检测器件的管脚的输入和输出; 器件识别码寄存器的长度为 32 位, 包含了器件的识别码信息, IDCODE 指令能够对其进行操作, 器件可能存在也可能不存在器件识别码寄存器; 用户自定义寄存器与用户自定义的指令一起使用, 从而实现用户自己的测试意图, 体现了 JTAG 标准的灵活性.

3 CJTAG 标准

CJTAG 标准以 IEEE 1149. 1-2001 标准 (JTAG) 为基础, 并在此标准的基础上进行了扩展; CJTAG 标准在功能上分为 6 个层次, 即 T0~T5, 每层在前一层的基础上添加新的功能; T1 在 T0 层的基础上增加 CJTAG 命名和功耗管理等功能, T2 在 T1 的基础上增加一位指令和数据寄存器寄存器来旁路整个芯片, 同时还增加热连接保护方式, T3 层在 T2 层的基础上增加四线星型扫描连接和直接寻址星型扫描, T4 在 T3 层的基础上增加两线操作, T5 层增加非扫描数据传输传输功能; T0 层则包含 JTAG 标准的所有功能, 同时在 JTAG 标准的基础上增加多 TAPC 结构, 通过这个结构可以访问所有片上 TAPC; 片上 TAPC 可以分为 CLTPC 和 EMTAPC, 其都是 JTAG 标准的 IP 核^[5-7].

4 多 TAPC 结构的设计

多 TAPC 结构由以下几个部分组成 (如图 3 所示): CLTAPC (Chip-Level TAPC)、四个 EMTAPC (embedded TAPC)、MTCP (多 TAP 控制路径) 和 MTD (多 TAP 数据路径). CLTAPC 和其所管理的扫描路径同其他的 EMTAPC 连接, MTCP 控制 CLTAPC 和 EMTAPC 的状态, MTD 控制指令或数据扫描路径^[5].

CLTAPC 承担芯片间的测试, 如基础测试、互

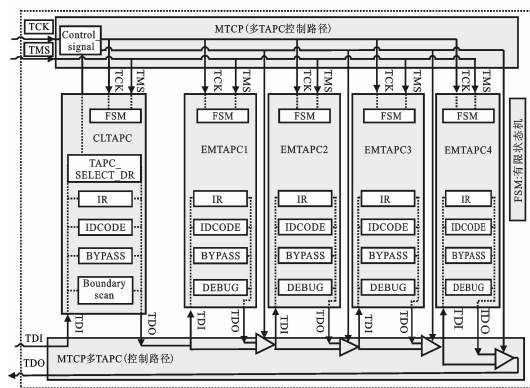


图 3 多 TAPC 结构

联测试、旁路测试等,需要进行调试时,能够通过 CLTAPC 的指令和测试数据控制其他的 EMTAPC,调试主要为读写芯片中功能模块中的相应寄存器,使功能模块具备相应功能;EMTAPCS 为调试对象,不具有边界扫描功能,也可能没有 ID-CODE 数据寄存器;在每一个 EMTAPC 的输出和下一个 EMTAPC 的输入之间都增加一个二选一数据选择器,该数据选择器在 MTCP 的控制信号控制下选择输出当前 EMTAPC 的 TDO 还是前一个 EMTAPC 的 TDO,这些二选一数据选择器组成 MTDP。

CLTAPC 的指令有 Sample_Preload, Bypass, IDCODE, EXTEST^[9]; 为了控制 EMTAPC, 在 CLTAPC 中添加私有指令 TAPC_SELECT, 同时增加相应的数据寄存 TAPC_SELECT_DR, TAPC_SELECT_DR 中的每一位控制一个 EMTAPC, 该位为 0 时, 其控制的 EMTAPC 处于 Isolate 模式, 该位为 1 时, 其控制的 EMTAPC 处于 Normal 状态; CLTAPC 和 EMTAPC 的指令寄存器位数均为四位; EMTAPC 的指令有 BYPASS, DEBUG, IDCODE^[9]; BYPASS 指令为数据扫描路径提供一位旁路路径; EXTEST 指令为芯片之间的互联测试指令, 该指令操作边界扫描单元, 实现边界扫描技术; SAMPLE_PRELOAD 指令对器件(IC)的正常操作进行采样, 之后用已知的数据装入边界扫描寄存器; DEBUG 指令为 EMTAPC 中的调试指令, 该指令能够读写 EMTAPC 中的调试数据寄存器; EXTEST 的指令代码: 0000; SAMPLE_PRELOAD 的指令代码: 0011; IDCODE 的指令代码: 1001; TAPC_SELECT 的指令代码: 1010; BYPASS 的指令代码: 1111; DUBUG 的指令代码: 1011.

CLTAPC 控制 EMTAPC 的操作模式,从而实

现 CJTAG 标准的测试和调试;EMTAPC 的操作模式有正常模式 (Normal) 和隔离 (Isolate) 模式。CLTAPC 控制 EMTAPC 处于 Isolated 模式或 Normal 模式;EMTAPC 处于 Normal 模式时, EMTAPC 的数据和指令扫描路径都是扫描路径的一部分;EMTAPC 处于 Isolate 模式时, EMTAPC 的数据和指令扫描路径都不工作, 且停泊 (Park) 在 run-test/idle 状态, MTCP 和 MTD P 旁路此 EMTAPC 的指令和数据寄存器, 从而缩短扫描链的长度。

当芯片上电后,CLTAPC 和 EMTAPC 都处于 TestL-Logic-Reset 状态,TCK 上升沿采样 TMS 信号为低电平,使 CLTAPC 和 TMTAPC 的状态转换至 Run-Test/Idle 状态,所有的 EMTAPC 停泊在 Run-Test/Idle 状态,直到有 CLTAPC 的指令使其改变,从 DTS(测试和调试系统)角度看,只能看到 CLTAPC;此时整个芯片表现出只有一个 TAPC,符合 JTAG 标准规范,即能进行测试,测试功能包括以下几种:基础测试,测试扫描链路的完整性以及芯片是否已经开始工作,互联测试,测试芯片间的连接是否完整;Bypass 测试,测试旁路扫描链上的某一芯片或多个芯片;IDCODE 测试。

CLTAPC 的指令寄存器中移入 TAPC-SELECT 指令,将选择 TAPC_SELECT_DR 数据寄存器置于 TDI 和 TDO 之间,通过 TDI 移入 EMTAPC 的控制信号于 TAPC_SELECT_DR 寄存器中,在 Run-Test/Idle 状态时,将改变 EMTAPC 的状态,使选中的 EMTAPC 从 Isolate 状态转为 Normal 状态,同时在 Run-Test/Idle 状态下,与 CLTAPC 的状态同步,此时 EMTAPC 成为扫描路径的一部分,从 DTS(测试调试系统)的角度看,看到不只一个 TAPC,可以开始对 EMTAPC 进行调试,调试时 CLTPAC 数据寄存器为旁路寄存器.

5 仿真验证

[illegible]

至 32 个周期, TDO 输出 IDCODE 的值; T1 时刻, TAPC 处于 Capture_IR 状态, 将值 0101 加载于 CLTAPC 的指令寄存器中, 这个值可以用来进行基础测试 (Cpature 测试); T2 时刻, TAPC 处于 Shift_IR 状态, SAMPLE_PRELOAD (0011) 指令通过 TDI 移入指令寄存器, 同时通过 TDO 移出指令寄存器的值 0101, 在 Update_IR 状态, TAPC 选择边界扫描寄存器置于 TDI 和 TDO 之间, 边界扫描寄存器由 12 个边界扫描单元组成, 其中有六个输入单元控制六个输入引脚, 六个输出单元控制六个输出引脚, 输入引脚的值为 110101; T3 时刻, TAPC 处于 Shift_DR 状态, 测试数据 (10011001101) 通过 TDI 移入边界扫描单元中, 输出边扫单元的值为 011001; T4 时刻, TAPC 处于 Shift_IR 状态, EX-TEST (0000) 指令通过 TDI 移入指令寄存器中; T5 时刻, TAPC 处于 Update_IR 状态, 边界扫描输出单元中的数据输出至输出引脚, 实现互联测试, 同时继续选择边界扫描寄存器置于 TDI 和 TDO 之间; T6 时刻, TAPC 处于 Shift_DR 状态, TAPC 处于该状态的前一个状态 Capture_DR 时, 将输入引脚中的数据读入输入扫描单元, Shift_DR 状态下, 将测试数据 (11011011011) 通过 TDI 移入扫描单元, 同时通过 TDO 将扫描单元中的数据移出, TDO 中移出的数据为 100110101011, 其中 101011 为从输入中读入的数据; T7 时刻, TAPC 处于 Update_DR 状态, 将输出引脚中的数据输出至输出引脚, 此时输出引脚中的数据为 011011.

调试功能验证: 调试结果如图 5 所示, T0 时刻, CLTAPC 处于 Run-Test/Idle 状态; T1 时刻, CLTAPC 处于 Shift_IR 状态, 指令寄存器通过 TDI 移入 TAPC_SELECT (1010) 指令, 同时通过 TDO 移出指令寄存器中的值 0101, 在 Update_IR 状态, 选择 TAPC_SELECT_DR 数据寄存器置于 TDI 和 TDO 之间, 启动调试功能; T2 时刻, CLTAPC 处于 Shift_DR 状态, 选择 EMTAPC3 的信号 (0010) 移入 TAPC_SELECT_DR 数据寄存器; T3 时刻, CLTAPC 处于 Run-Test/Idle 状态, 选择 EMTAPC3, 将 EMTAPC3 置为 Normal 状态, 其指令和数据扫描路径成为扫描路径的一部分, 在该时刻 EMTAPC3 的状态同 CLTAPC 的状态同步, 也为 Run-Test/Idle 状态; T4 时刻, CLTAPC 和 EMTAPC 都处于 Shift_IR 状态, EMTAPC 的指令寄存器移入 DUBUG (1011) 指令, 来对 EMTAPC 进行调试, CLTAPC 的指令寄存器则移入 BYPASS

指令 (1111); T5 时刻, CLTAPC 和 EMTAPC 都处于 Shift_DR 状态, EMTAPC 在 DEBUG 指令的作用下选择调试数据寄存器, 本次采用 32 位调试寄存器模拟相关调试功能, 通过读写该寄存器来实现调试功能, 在 Shift_DR 状态下, 移入调试数据 (10010010010010010010010010010010) 至 EMTAPC 的调试数据寄存器中, 移入一位数据至 CLTAPC 的旁路寄存器中; T5 时刻, CLTAPC 和 EMTAPC 都处于 Shift_DR 状态, EMTAPC 调试数据寄存器中的数据通过 TDO 移出为 10010010010010010010010010010010, 实现调试功能. 使用同样的方法可以调试其他的 EMTAPC.

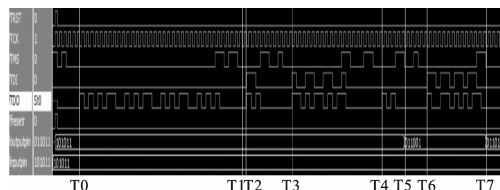


图 4 测试结果

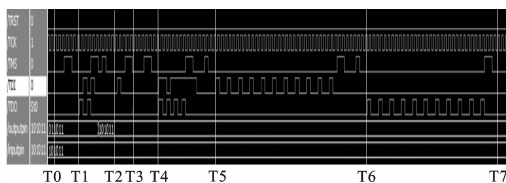


图 5 测试结果

6 结束语

复用含有 JTAG 标准的 IP 核来设计系统芯片, 导致芯片中含有多个 TAPC, 多 TAPC 结构能够解决多 TAPC 芯片的测试和调试问题. 本文通过对 JTAG 标准和 CJTAG 的标准的分析, 利用 JTAG 标准的 IP 核, 扩充了 JTAG 的指令和扫描链, 设计了多 TAPC 结构. 仿真结果表明, 该方法能够有效的实现对多 TAPC 的芯片进行测试和调试, 对 SOC 测试和调试具有重要意义.

参考文献:

- [1] IEEE. IEEE Std 1149. 1-2001 standard test access port and boundary-scan architecture[S]. New York: IEEE Standard Board, 2001.
- [2] 彭立章, 朱敏, 杨春玲. 基于 SOPC 的边界扫描试控制器开发[J]. 电子测量技术, 2007, 30(12): 141-146.
- [3] 金辉, 华斯亮, 张铁军, 等. 基于 JTAG 标准的处理器片上调试的分析和实现[J]. 微电子学与计算机, 2007, 24(6): 116-117.

(下转第 79 页)

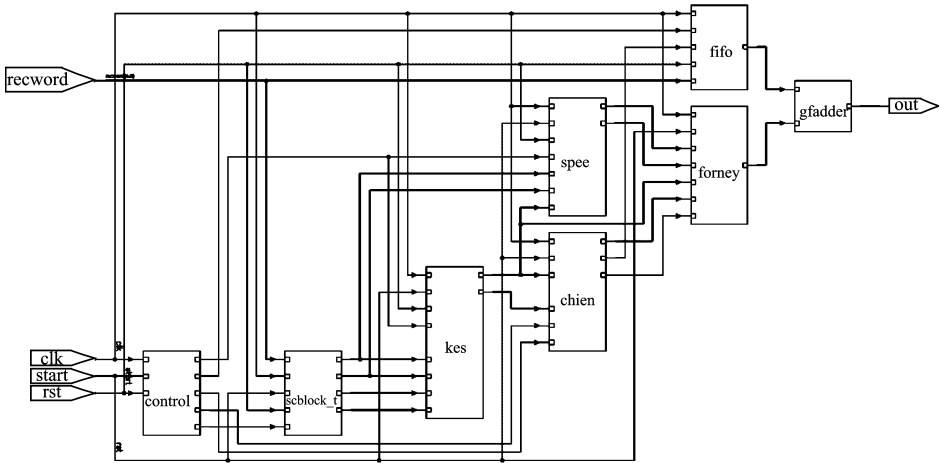


图 7 译码器电路结构图

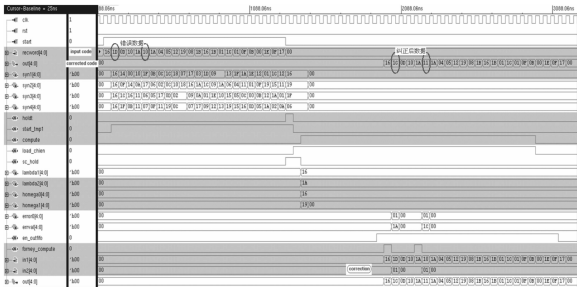


图 8 译码纠错仿真时序图

块的纠错性能. 并通过时序仿真分析该译码器可以实现该结构编码的最大纠错能力. 因此基于该方法设计的 RS(24,20)编译码电路正确, 并且该编译码器可以运用到对纠正突发误码有较高要求的现代无线通信系统中. 同时, 通过对 RS(24,20)译码电路结构的分析, 给出了一种具有普适作用的译码方案.

参考文献:

[1] 王新梅,肖国镇. 纠错码原理与方法[M]. 西安:西安电

子科技大学出版社,2003.

[2] Lin S, Costello D J. Error control coding[M]. Second Edition. New Jersey:Prentical Hall,2004.

[3] Hasan M A, Bharagava V K. Architecture for a Low Complexity Rate-adaptive Reed-Solomon Encoder[J]. IEEE Trans. on Computers,1995,44(7):938-942.

[4] 戴小红,潘志文. Reed-Solomon 编码器的设计与 FPGA 实现[J]. 现代电子技术,2006,3(3):119-121.

[5] 归绍升. 纠错码编码技术和应用[M]. 上海:上海交通大学出版社,1988.

[6] 严来金,李明. RS(255,223)译码器的设计与 FPGA 实现[J]. 微计算机信息,2005,21(1):5-7.

作者简介:

孙 健 男,(1983-),工程师. 研究方向为 SoC 验证. E-mail:sj_2003_ren@163.com

张 辉 男,(1982-),工程师. 研究方向为 SoC 验证.

王宇飞 男,(1983-),工程师. 研究方向为 SoC 验证.

刘 明 男,(1985-),工程师. 研究方向为 SoC 验证.

(上接第 74 页)

[4] 郑晓光,白国强. 一种基于 JTAG 的 SOC 测试电路设计及实现[J]. 微电子学与计算机,2009,26(1):187-189.

[5] IEEE Std 1149. 7. IEEE standard for reduced-pin and enhanced-functionality test access and boundary-scan architecture[S]. American:IEEE,2009.

[6] 陈寿宏,颜学龙,黄新. 基于 IEEE 1149. 7 标准的 CJTAG 测试设计方法研究[J]. 测控技术与仪器仪表,2013,39(1):79-82.

[7] 徐志磊. 基于 IEEE1149. 7 的新一代测试界接口实现与应用[J]. 信息技术,2010,34(8):164-166.

[8] 黄文君. 基于 IEEE 1149. 7 边界扫描技术的研究[D]. 桂林:桂林电子科技大学,2001.

[9] 陈光福,潘中良. 可测性设计技术[M]. 北京:电子工业出版社,1997.

作者简介:

颜学龙 男,(1962-),教授,硕士生导师. 研究方向为集成电路测试理论与测试仪器.

何正亮(通讯作者) 男,(1989-),硕士研究生. 研究方向为检测技术与自动化装置. E-mail:530894041@qq.com.

陈寿宏 男,(1981-),高级实验师,硕士生导师. 研究方向为集成电路测试理论与仪器.